

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293926

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

G11B 7/00

G11B 19/06

G11B 20/14

(21)Application number : 10-039657

(71)Applicant : PIONEER ELECTRON CORP

(22)Date of filing : 05.02.1998

(72)Inventor : KURODA KAZUO
SUZUKI TOSHIO
YOSHIDA MASAYOSHI

(30)Priority

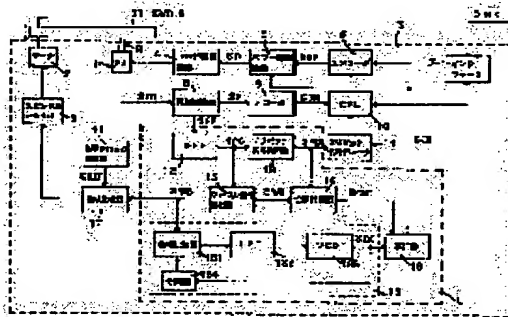
Priority number : 09 54161 Priority date : 21.02.1997 Priority country : JP

(54) RECORDING CLOCK SIGNAL GENERATING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a recording clock signal precisely synchronized with rotation of a disk by comparing a phase of a signal carrying the phase of an extracted wobble signal with the phase of a detected pre-pit signal, detecting a phase difference signal and adjusting the phase of the clock signal based on this phase difference signal.

SOLUTION: A pre-pit detector 13 receiving a composite signal SPC superimposed with the pre-pit signal outputs a pre-pit detection signal SPD while the pre-pit signal exists. On the other hand, a wobble signal extractor 15 outputs an amplitude level of the composite signal SPC as an extraction wobble signal SWB becoming an H level for a period becoming larger than a prescribed reference value. Then, a PLL circuit 18 outputs a clock signal SCK synchronized with the signal SWB to a phase shifter 19. On the other hand, a phase comparator 16 compares the signal SPD with the signal SWD to output a phase adjustment signal SCNT to the phase shifter 19. Then, the phase shifter 19 phase adjusts the phase of the signal SCK based on the signal SCNT to output it.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-293926

(43)公開日 平成10年(1998)11月4日

(51)Int.Cl.⁶

G 1 1 B 7/00
19/06
20/14

識別記号

5 0 1
3 5 1

F I

G 1 1 B 7/00
19/06
20/14

T

5 0 1 C
3 5 1 A

審査請求 未請求 請求項の数 9 F D (全 16 頁)

(21)出願番号 特願平10-39657

(22)出願日 平成10年(1998) 2 月 5 日

(31)優先権主張番号 特願平9-54161

(32)優先日 平 9 (1997) 2 月 21 日

(33)優先権主張国 日本 (J P)

(71)出願人 000005016

パイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72)発明者 黒田 和男

埼玉県所沢市花園4丁目2610番地 パイオ
ニア株式会社所沢工場内

(72)発明者 鈴木 敏雄

埼玉県所沢市花園4丁目2610番地 パイオ
ニア株式会社所沢工場内

(72)発明者 吉田 昌義

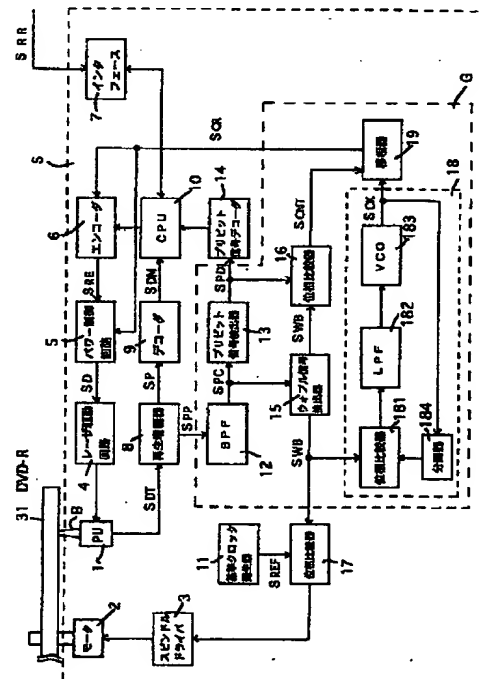
埼玉県所沢市花園4丁目2610番地 パイオ
ニア株式会社所沢工場内

(54)【発明の名称】 記録用クロック信号発生装置

(57)【要約】 (修正有)

【課題】 記録用クロック信号生成のためウォプリングしたグルーブトラックからウォブル信号の抽出時、隣接グルーブトラックのウォブル信号によるクロストークの影響がある場合でも、ディスク回転に正確に同期したクロック信号発生装置。

【解決手段】 所定の周波数成分のウォブル信号でウォプリングしたデータ記録用トラックを有し、当該ウォブル信号とは所定の位相関係を有するプリピットを形成した光ディスクに、ウォブル信号に位相同期した記録用クロック信号に基づくデータ記録装置Sの記録用クロック信号発生装置であり、ウォブル信号抽出手段15と、当該抽出ウォブル信号に位相同期した記録用クロック信号の発生手段と、プリピット検出信号を発生するプリピット検出手段13と、抽出したウォブル信号の位相とプリピット検出信号との位相を比較し位相調整信号を出力する位相調整信号生成手段16と、記録用クロック信号の位相調整手段と19を備える。



【特許請求の範囲】

【請求項1】 所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクに、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置における記録用クロック信号発生装置であって、

前記ウォブル信号を抽出するウォブル信号抽出手段と、当該抽出されたウォブル信号に位相同期した前記記録用クロック信号を発生する発生手段と、
前記プリピットを検出してプリピット検出信号を発生するプリピット検出手段と、
前記抽出されたウォブル信号の位相と前記プリピット検出信号との位相を比較して位相調整信号を出力する位相調整信号生成手段と、
前記位相調整信号に基づいて前記記録用クロック信号の位相を調整する位相調整手段と、
を備えた記録用クロック信号発生装置。

【請求項2】 前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなることを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項3】 前記位相調整手段は、前記ウォブル信号の位相を移相する移相手段からなることを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項4】 前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、
前記位相調整手段は、前記PLL回路において前記位相比較手段と前記発振回路との間に配されて前記位相差信号と前記位相調整信号とを加算せしめる加算手段であることを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項5】 前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であると共に、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなり、
前記位相調整信号生成手段は、前記移相手段から出力される前記抽出されたウォブル信号の位相を担う信号と前記プリピット検出信号との位相を比較する位相比較手段からなることを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項6】 前記発生手段は、前記記録用クロック信号と基準クロック信号との位相を比較して第1の位相

差信号を生成する第1の位相比較手段と、当該第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、

前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相されたウォブル信号の位相と前記基準クロック信号の位相とを比較して第2の位相差信号を出力する第2の位相比較手段と、前記PLL回路において、前記第1の位相比較手段と前記発振回路との間に配されて、前記第1の位相差信号と前記第2の位相差信号とを加算せしめる加算手段とを備えたことを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項7】 前記発生手段は、制御電圧信号に応じて前記記録用クロック信号の発振周波数を変化せしめる電圧制御型発振回路であって、

前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相手段から出力される信号と前記記録用クロック信号との位相差に基づいた前記制御電圧信号を生成する制御電圧信号生成手段とを備えたことを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項8】 前記発生手段は、前記記録用クロック信号を分周せしめて前記ウォブル信号周期の信号を生成する分周器と、当該ウォブル信号周期の信号と前記抽出されたウォブル信号とを位相比較して第1の位相差信号を生成する第1の位相比較手段と、かかる第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた第1のPLL回路であって、
前記位相調整手段は、前記分周器から出力されたウォブル信号周期の信号を前記位相調整信号に応じて移相する移相手段と、かかる移相手段から出力される前記ウォブル信号周期の信号に前記記録用クロック信号を位相同期せしめる第2のPLL回路とを備えたことを特徴とする請求項1に記載の記録用クロック信号発生装置。

【請求項9】 前記第2のPLL回路は、少なくともプリピット検出信号の存在する期間と存在しない期間とで動作帯域を変化せしめる帯域制限手段を備えたことを特徴とする請求項8に記載の記録用クロック信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、記録可能な光ディスクに、記録用クロック信号を用いてデータを記録するデータ記録装置において、当該記録用クロック信号を生成する記録用クロック信号発生装置に関する。

【0002】

【従来の技術】一回のみ記録可能な追記型光ディスクとしてCD-R (Compact Disc -Recordable) が公知である。

【0003】CD-Rには、ディスク上のトラックの位

置情報等のプリ情報で所定の周波数(22.05KHz)を有する搬送波をFM変調したウォブル信号に応じて、ディスク半径方向に僅かに揺動(ウォブリング)されたグルーブトラック(データ記録トラック)が存在する。

【0004】かかるグルーブトラックからウォブル信号を抽出するには、照射した光ビームのグルーブトラックからの反射光を、グルーブトラックの接線方向と光学的に平行な分割線で2分割されたフォトディテクタで受光し、各ディテクタからの出力の差分を取り、かかる差分

信号を上記所定の周波数を中心周波数とするBPF(Band Pass Filter)に供給することによってなされる。

【0005】CD-Rは、BPFを介して抽出されたウォブル信号の平均周波数が、上記所定の周波数となるように回転制御される。この際、抽出されたウォブル信号(以下、抽出ウォブル信号と称する。)は、記録用クロック信号を生成するための基準信号としても利用される。つまり、抽出ウォブル信号は、ディスクの回転に同期した周波数成分を有する連続信号であり、かかる連続信号に位相同期したクロック信号を生成することによ

【0006】

【発明が解決しようとする課題】ところで、最近従来のCD-Rに対して約7倍に記録容量を向上させた情報記録媒体として、いわゆるDVD-R(Digital Versatile Disc - Recordable)についての研究開発が盛んに行われている。

【0007】DVD-Rは、高密度記録するために、隣接するトラック間のピッチがCD-Rの略半分とされている。このため、光ビームを照射したグルーブトラックに隣接するグルーブトラックからの漏れ込み、いわゆるクロストークが無視できなくなる。隣接する左右のグルーブトラックからのクロストークがあると、抽出ウォブル信号は、隣接するグルーブトラックのウォブル信号成分による干渉を受けることになり、その振幅や位相が変動してしまう。特に位相の変動、すなわちジッタを伴うことにより、上記クロストークの影響を受けた抽出ウォブル信号からは、ディスクの回転に正確に同期したクロック信号を生成できなくなるという問題がある。

【0008】すなわち、クロストーク等により、回転制御信号(基準信号と抽出ウォブル信号との位相差)に変動が発生した場合、かかる回転制御信号にตอบสนองして回転制御が制定するまでに要する時間と、クロック信号を生成するPLL回路が制定するまでに要する時間とが異なる(通常はディスクの慣性により回転制御の応答はPLL回路の応答に比べてはるかに遅い)ため、クロック信号の位相とディスクの回転位相とがその間ずれてしまうのである。このようなずれが生じると、本来記録すべき位置に記録すべきデータパターンを記録形成できなく

なる。

【0009】本願発明は、上記問題に鑑みてなされたもので、その目的は、隣接するグルーブトラックからのクロストークが存在する場合であっても、ディスクの回転に正確に同期した記録用クロック信号を生成し得るクロック信号発生回路を提供することにある。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1に記載の発明の記録用クロック信号発生装置は、所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクに、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置における記録用クロック信号発生装置であって、前記ウォブル信号を抽出するウォブル信号抽出手段と、当該抽出されたウォブル信号に位相同期した前記記録用クロック信号を発生する発生手段と、前記プリピットを検出してプリピット検出信号を発生するプリピット検出手段と、前記抽出されたウォブル信号の位相と前記プリピット検出信号との位相を比較して位相調整信号を出力する位相調整信号生成手段と、前記位相調整信号に基づいて前記記録用クロック信号の位相を調整する位相調整手段と、を備えて構成される。

【0011】請求項2に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなる。

【0012】請求項3に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記位相調整手段は、抽出された前記ウォブル信号の位相を移相する移相手段からなる。

【0013】請求項4に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、前記位相調整手段は、前記PLL回路において前記位相比較手段と前記発振回路との間に配されて前記位相差信号と前記位相調整信号とを加算せしめる加算手段からなる。

【0014】請求項5に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と前記ウォブル信号との位相差を示す位相差信号を生成する位相比較手段と、当該位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であると共に、前記位相調整手段は、前記発生手段から出力される記録用クロック信号の位相を移相する移相手段からなり、前記位相調整信号生成手段は、前記移相手段から出力される前記抽出され

たウォブル信号の位相を担う信号と前記プリピット検出信号との位相を比較する位相比較手段からなる。

【0015】請求項6に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号と基準クロック信号との位相を比較して第1の位相差信号を生成する第1の位相比較手段と、当該第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えたPLL回路であって、前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相されたウォブル信号の位相と前記基準クロック信号の位相とを比較して第2の位相差信号を出力する第2の位相比較手段と、前記PLL回路において、前記第1の位相比較手段と前記発振回路との間に配されて、前記第1の位相差信号と前記第2の位相差信号とを加算せしめる加算手段とを備えてなる。

【0016】請求項7に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、制御電圧信号に応じて前記記録用クロック信号の発振周波数を変化せしめる電圧制御型発振回路であって、前記位相調整手段は、前記抽出されたウォブル信号の位相を前記位相調整信号に応じて移相する移相手段と、当該移相手段から出力される信号と前記記録用クロック信号との位相差に基づいた前記制御電圧信号を生成する制御電圧信号生成手段とを備えてなる。

【0017】請求項8に記載の発明は、請求項1に記載の記録用クロック信号発生装置であって、前記発生手段は、前記記録用クロック信号を分周せしめて前記ウォブル信号周期の信号を生成する分周器と、当該ウォブル信号周期の信号と前記抽出されたウォブル信号とを位相比較して第1の位相差信号を生成する第1の位相比較手段と、かかる第1の位相差信号に基づいて前記記録用クロック信号を発生する発振回路とを備えた第1のPLL回路であって、前記位相調整手段は、前記分周器から出力されたウォブル信号周期の信号を前記位相調整信号に応じて移相する移相手段と、かかる移相手段から出力される前記ウォブル信号周期の信号に前記記録用クロック信号を位相同期せしめる第2のPLL回路とを備えてなる。

【0018】請求項9に記載の発明は、請求項8に記載の記録用クロック信号発生装置であって、前記第2のPLL回路は、少なくともプリピット検出信号の存在する期間と存在しない期間とで動作帯域を変化せしめる帯域制限手段を備えてなる。

【0019】

【作用】本願発明における記録用クロック信号発生装置によれば、所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有すると共に、当該ウォブル信号とは所定の位相関係を有するプリピットが形成された光ディスクであるDVD-Rに、データ

を記録するタイミング情報を担う、ウォブル信号に位相同期した記録用クロック信号を出力するにあたって、当該DVD-Rのグルーブトラックから抽出したウォブル信号に応じた信号と、データ記録用トラックであるグルーブトラックと隣接するグルーブトラックの間の領域（以下、ランドトラックと称する。）から検出したプリピット信号との位相差信号に基づいてクロック信号の位相を調整する。

【0020】ここで、プリピット信号はウォブル信号と所定の位相関係をもって記録されている。更に、プリピット信号は、隣接するランドトラック位置には存在しないため、かかるプリピット信号はクロストークの影響を受けることなく検出される。

【0021】したがって、隣接するグルーブトラックのウォブル信号によるクロストークによって、所望のグルーブトラックにおける抽出ウォブル信号の時間軸が変動した場合でもプリピットによって正確なタイミング情報を担う記録用クロック信号に補正することができる。

【0022】

【実施の形態】次に本願発明に好適な実施の形態について図面を用いて説明する。始めに、プリ情報に対応したプリピットを形成すると共に、後述のグルーブトラックを所定の周波数でウォブリングさせた光ディスクとしてのDVD-Rについて図1及び図2を用いて説明する。

【0023】まず、図1を用いてDVD-Rの構造について説明する。図1において、DVD-R31はデータ記録層としての色素膜35を備えた1回のみ情報データの書き込みが可能な色素型DVD-Rであり、データ記録用トラックとしてのグルーブトラック32と当該グルーブトラック32に再生光又は記録光としてのレーザビーム等の光ビームBを誘導するためのガイド用トラックとしてのランドトラック33が形成されている。また、それらを保護するための保護膜37及び記録されたデータを再生する際に光ビームBを反射するための金蒸着膜36を備えている。そして、このランドトラック33にプリ情報に対応するプリピット34が形成されている。このプリピット34はDVD-R31を出荷する前に予め形成されているものである。

【0024】更に、当該DVD-R31においては、グルーブトラック32をディスクの回転速度に対応する周波数でウォブリングさせている。このウォブリングされたグルーブトラック32は、上記プリピット34と同様に、DVD-R31を出荷する前に予め形成されるものである。

【0025】そして、DVD-R31に記録情報データ（プリ情報以外の本来記録すべき画像情報等の情報データをいう。以下同じ。）を記録する際には、後述のデータ記録装置においてこのグルーブトラック32のウォブリング周波数を抽出することによりDVD-R31を所定の回転速度で回転制御すると共に、プリピット34

を検出することにより予めプリ情報を取得し、それに基づいて記録光としての光ビームBの最適出力等が設定されると共に、記録情報データを記録すべきDVD-R31上の位置を示すアドレス情報等が取得され、このアドレス情報に基づいて記録情報データが対応する記録位置に記録される。

【0026】ここで、記録情報データの記録時には、光ビームBをその中心がグルーブトラック32の中心と一致するように照射してグルーブトラック32上に記録情報データに対応する記録情報ピットを形成することにより、記録情報データを記録する。この時、光スポットSPの大きさは、図1に示すように、その一部がグルーブトラック32だけではなくランドトラック33にも照射されるように設定される。

【0027】そして、このランドトラック33に照射された光スポットSPの一部の反射光を用いてプッシュプル法（グルーブトラック32の接線方向、すなわち、DVD-R31の回転方向に平行な分割線により分割された光検出器を用いたプッシュプル法（以下、ラジアルプッシュプル方式という。））により、プリピット34からプリ情報を検出して当該プリ情報が取得されると共にグルーブトラック32からウォブル信号を抽出してディスクの回転に同期した後述する記録用クロック信号が取得される。

【0028】次に、上記DVD-R31に予め記録されているプリ情報の記録フォーマットについて、図2を用いて説明する。なお、図2において、上段は記録情報データにおける記録フォーマットを示し、下段の波形は当該記録情報データを記録するグルーブトラック32のウォブリング状態（グルーブトラック32の平面図）を示し、記録情報データとグルーブトラック32のウォブリング状態の間の上向き矢印は、プリピット34が形成される位置を模式的に示すものである。ここで、図2においては、グルーブトラック32のウォブリング状態は、理解の容易のため実際の振幅よりも大きい振幅を用いて示している。なお、記録情報データは当該グルーブトラック32の中心線上に記録される。

【0029】図2に示すように、上記DVD-R31に記録される記録情報データは、予め情報単位としてのシンクフレーム毎に分割されている。そして、26のシンクフレームにより一のレコーディングセクタが形成され、更に、16のレコーディングセクタにより一のECC（Error Correcting Code）ブロックが形成される。なお、一のシンクフレームは、上記記録情報データを記録する際の記録フォーマットにより規定されるピット間隔に対応する単位長さ（以下、Tという。）の1488倍（1488T）の長さを有しており、更に、一のシンクフレームの先頭の14Tの長さの部分はシンクフレーム毎の同期をとるための同期情報SYとして用いられる。

【0030】一方、上記DVD-R31に記録されるプリ情報は、シンクフレーム毎に記録される。ここで、プリピット34によりDVD-R31にプリ情報が記録される場合は、記録情報における夫々のシンクフレームにおける同期情報SYが記録される領域に隣接するランドトラック33上に、プリ情報における同期信号を示すものとして必ず一のプリピット34が形成されると共に、当該同期情報SY以外の当該シンクフレーム内の前半部分に隣接するランドトラック33上に、記録すべきプリ情報の内容を示すものとして二又は一のプリピット34が形成される（なお、同期情報SY以外の当該シンクフレーム内の前半部分については、記録すべきプリ情報の内容によってはプリピット34が形成されない場合もある。）。

【0031】この際、一のレコーディングセクタにおいては、偶数番目のシンクフレーム（以下、EVENフレームという。）のみにプリピット34が形成されてプリ情報が記録される。すなわち、図2において、EVENフレームにプリピット34が形成された場合には（図2において実線上向き矢印で示す。）、それに隣接するODDフレームにはプリピット34は形成されない。一のEVENフレームとそれに続くODDフレームにおける上記各プリピット34（シンクフレームの先頭から夫々プリピットB0、B1及びB2とする。）の有無の関係は、当該一のEVENフレームがレコーディングセクタの先頭であるか否か、及び当該一のEVENフレームとそれに続くODDフレームに記録すべき情報の内容に対応して設定される。

【0032】より詳細には、EVENフレームにプリピットを形成する場合には、レコーディングセクタの先頭のシンクフレームにおいては、全てのプリピット34

（プリピットB0、B1及びB2）が形成されており、レコーディングセクタの先頭以外のシンクフレームにおいては当該シンクフレームに記録すべきプリ情報が

「1」のときにはプリピットB0及びB2のみが形成されており、記録記録すべきプリ情報が「0」のときにはプリピットB0及びB1が形成されている。また、ODDフレームにプリピットを形成する場合には、レコーディングセクタの先頭のシンクフレームにおいては、プリピットB0及びB1が形成されており、レコーディングセクタの先頭以外のシンクフレームにおいては上記EVENフレームの場合と同様である。

【0033】なお、プリピット34をEVENフレーム／ODDフレームのいずれのシンクフレームに形成するかは、隣接するランドトラック上に先行して形成されたプリピット34の位置に依存して決められる。すなわち、プリピット34は通常EVENフレームに形成されるが、当該EVENフレームにプリピット34を形成した場合に、先行して形成された隣接するランドトラック上のプリピット34とDVD-R31のディスクの径方

向において近接する時には、ODDフレームにプリビット34が形成されるのである。このように形成することにより、隣接するランドトラック位置にはプリビット34が存在しなくなるためプリビット34の検出に当たってはクロストークによる影響を低減できる。

【0034】一方、グルーブトラック32は、全てのシンクフレームに亘って140KHzの一定ウォプリング周波数 f_0 （一のシンクフレーム内に8波分のウォブル信号が入る周波数）でウォプリングされている。そして、後述のデータ記録装置において、この一定のウォプリング周波数 f_0 を抽出することで、スピンドルモータの回転制御のための信号が検出されると共に、記録用クロック信号が生成される。

【0035】なお、プリビット34とウォブル信号との位相関係を一定にするため、プリビットB0は、シンクフレームの開始位置からの所定位置（例えば7T分離れた位置）に形成され、プリビットB0から186T（1488T/8）分づつ離れてプリビットB1及びB2が形成される（プリビットの形成方法については特願平8年第310941号に詳細に説明されている。）。

【0036】記録用クロック信号発生装置の実施形態次に、データ記録装置に含まれる本願発明に係る記録用クロック信号発生装置の第1の実施の形態について、図3乃至図5に基づいて説明する。なお、以下の説明では、ホストコンピュータから送信されてくる記録情報データを上記DVD-R31に対して記録するためのデータ記録装置について本発明を適用した実施の形態を説明するものである。

【0037】始めに、この実施形態に係る記録用クロック信号発生装置を含むデータ記録装置の全体構成及び動作について図3を用いて説明する。なお、以下の実施の形態では、DVD-R31において、当該DVD-R31上のアドレス情報等を含む上記プリビット34及びウォプリングするグルーブトラック32が予め形成されており、記録情報データの記録時には、当該プリビット34を予め検出することによりDVD-R31上のアドレス情報を得、これにより記録情報データを記録するDVD-R31上の記録位置を検出して記録するものとする。

【0038】図3に示すように、データ記録装置Sは、ピックアップ1と、スピンドルモータ2と、スピンドルドライバ3と、レーザ駆動回路4と、パワー制御回路5と、エンコーダ6と、再生増幅器8と、デコーダ9と、プロセッサ（CPU）10と、回転制御のための基準クロック信号を発生する基準クロック発生器11と、BPF（Band Pass Filter）12と、プリビット検出手段としてのプリビット信号検出器13と、プリビット信号デコーダ14と、ウォブル信号抽出手段としてのウォブル信号抽出器15と、位相調整信号生成手段としての位相比較器16と、回転制御信号を発生する位相比較器17

と、位相比較器181、LPF（Low Pass Filter）182、VCO（Voltage Controlled Oscillator）183からなる発生手段としてのPLL（Phase Locked Loop）回路18と、位相調整手段としての移相器19とから構成されている。

【0039】これらのうち、BPF12、プリビット信号検出器13、ウォブル信号抽出器15、位相比較器16、PLL回路18、移相器19が、本願発明における記録用クロック信号発生装置Gを構成する。また、当該データ記録装置には、外部のホストコンピュータから（図示せず）記録すべき情報データがインタフェース7を介して入力される。

【0040】次に、全体の動作を説明する。ピックアップ1は、図示しないレーザダイオード、偏光ビームスプリッタ、対物レンズ、光検出器等を含み、記録動作の際は、レーザ駆動回路4から供給される、記録情報データに基づいたレーザ駆動信号に応じて変化する出射パワーで光ビームBをDVD-R31の情報記録面に照射して記録情報データの記録を行うと共に、読取り動作の際は、一定の出射パワー（読取パワー）で光ビームBをDVD-R31に照射して、その反射光を光検出器で受光する様に動作する。

【0041】また、ピックアップ1は情報記録面に照射した光ビームのかかる情報記録面からの反射光を光検出器で受光し、これを電気信号に変換して、例えばラジアルプッシュプル方式に基づく演算処理を施すことにより上記プリビット34及びグルーブトラック32のウォブル信号並びに記録情報データ等を担う検出信号SDTを生成し、再生増幅器8に出力する。

【0042】再生増幅器8は、ピックアップ1から出力されたプリビット34のプリビット信号及びグルーブトラック32のウォブル信号を担う検出信号SDTを増幅し、プリビット34のプリビット信号及びグルーブトラック32のウォブル信号を含むプリ情報信号Sppを記録用クロック信号発生装置GにおけるBPF12に出力すると共に、読取り動作の際には、既に記録されている記録情報データに対応する増幅信号Spをデコーダ9に出力する。

【0043】デコーダ9は、入力された増幅信号Spに対して8/16復調及びデインターリーブを施すことにより当該増幅信号Spをデコードして復調信号SDMを生成し、この復調信号SDMをCPU10に出力する。

【0044】一方、BPF12は、再生増幅器8から供給されたプリ情報信号Sppに含まれるノイズ成分を除去してウォブル信号の所定位置（例えば最大振幅位置）でプリビット信号が重畳された複合信号Spc（図5

（a））をプリビット信号検出器13並びにウォブル信号抽出器15に出力する。

【0045】プリビット信号検出手段であるプリビット信号検出器13は、複合信号Spcを所定の基準値、例え

ば、図5(a)におけるウォブル信号の最大振幅値より大なるレベル V_{rp} と比較する図示しないコンパレータからなり、複合信号 S_{pc} の振幅レベルが上記基準値 V_{rp} よりも大となる期間、すなわち、プリビットの存在する期間、パルス信号であるプリビット検出信号 S_{PD} をプリビット信号デコーダ14並びに位相比較器16に出力する。

【0046】プリビット信号デコーダ14は、供給されたプリビット検出信号 S_{PD} から、DVD-R31上のアドレス情報を含むプリ情報を復号して、CPU10に出力する。

【0047】一方、ウォブル信号抽出手段であるウォブル信号抽出器15は、複合信号 S_{pc} を所定の基準値、例えば図5(a)におけるウォブル信号のPP(Peak to Peak)値の中間レベル V_{r0} と比較する図示しないコンパレータを備え、複合信号 S_{pc} の振幅レベルを上記基準値 V_{r0} よりも大となる期間H(High)レベルとなるパルス信号(図5(b))を、抽出ウォブル信号 S_{WB} として、位相比較器16、17及び記録用クロック信号発生手段であるPLL回路18に出力する。

【0048】PLL回路18は、位相比較器181、LPF182、VCO183並びに分周器184からなり、入力された抽出ウォブル信号 S_{WB} の位相に同期したクロック信号 S_{CK} を移相器19に出力する。

【0049】一方、位相調整信号生成手段である位相比較器16は、後述する作用によってプリビット検出信号 S_{PD} と抽出ウォブル信号 S_{WB} との位相比較を行い、かかるプリビット検出信号と抽出ウォブル信号とが有する所定の位相関係からのずれを示す位相調整信号 $SCNT$ を移相器19に出力する。

【0050】位相調整手段である移相器19は、後述する方法で、PLL回路18から供給されるクロック信号 S_{CK} の位相を位相調整信号 $SCNT$ に基づいて位相調整し、記録用クロック信号 SCR としてエンコーダ6並びにパワー制御回路5に出力する。

【0051】一方、位相比較器17は、入力された抽出ウォブル信号 S_{WB} と基準クロック発生器11から供給されるDVD-R31の回転速度の基準周波数成分を担う基準クロック信号 S_{REF} との位相比較を行い、その差信号を回転制御信号としてスピンドルドライバ3を介してスピンドルモータ2に供給する。これによりスピンドルサーボが構成されDVD-R31は、所定の回転数で回転せしめられる。

【0052】一方、インタフェース7は、CPU10の制御の下、図示しないホストコンピュータから送信されてくる記録情報データ S_{RR} に対して、これをデータ記録装置に取り込むためのインタフェース動作を行い、当該記録情報データをCPU10を介してエンコーダ6に出力する。

【0053】エンコーダ6は、移相器19から供給され

る記録用クロック信号 SCR をタイミング信号として、ECC処理、8/16変調処理並びにスクランブル処理を施し、変調信号 S_{RE} を生成してパワー制御回路5に出力する。

【0054】パワー制御回路5は、ディスク上に形成される記録ビットの形状を良好にするべく、クロック信号発生装置Gから出力される記録用クロック信号 SCR に基づいて、変調信号 S_{RE} の波形変換(いわゆる、ライトストラテジ処理)を行い、記録信号 SD としてレーザ駆動回路4に出力する。

【0055】レーザ駆動回路4は、ピックアップ1における図示しないレーザダイオードを実際に駆動して、供給された記録信号 SD に応じた出射パワーで光ビームBを出射せしめるためのレーザ駆動信号を出力する。

【0056】CPU10は、記録動作の際は、プリビット信号デコーダ14から供給されるプリ情報からアドレス情報を取得し、当該アドレス情報に対応するDVD-R31上の位置に記録情報データを記録する様にデータ記録装置全体を制御する。また再生動作の際は、CPU10は、復調信号 SDM からディスク31に記録されている記録情報データを取得し、かかる記録情報データを外部のホストコンピュータに出力する様に、データ記録装置全体を制御する。

【0057】次に、本願発明に係る記録用クロック信号発生装置Gにおける位相調整信号生成手段である位相比較器16並びに位相調整手段である移相器19のより具体的な構成について図4及び図5を用いて説明する。

【0058】位相比較器16は、抽出ウォブル信号 S_{WB} のHレベルの間所定の傾斜角度を有する三角波信号を発生する三角波発生回路163と、プリビット検出信号 S_{PD} の検出タイミングにおける当該発生された三角波信号の振幅レベルを保持するサンプルホールド回路164とを含んで構成される。

【0059】三角波発生回路163は、一端が接地されたキャパシタ45と、当該キャパシタ45の他方の一端に接続され当該キャパシタ45に一定電流を供給する定電流源46と、一端が接地されると共に他方の一端が上記キャパシタ45と定電流源46との接続点aに接続されたスイッチ47とからなる。また、スイッチ47は、バッファ161を介して供給される抽出ウォブル信号 S_{WB} に応じて、当該抽出ウォブル信号 S_{WB} がHレベルの間は開状態とされると共に、抽出ウォブル信号 S_{WB} がL(Low)レベルの間は閉状態とされる。

【0060】以上の構成により、三角波信号の発生が行われる。すなわち、抽出ウォブル信号 S_{WB} がHレベルとなり、スイッチ47が開状態とされると、定電流源46からキャパシタ45に供給される一定の充電電流によって、キャパシタ45の静電容量に応じた傾斜角度で接続点aにおける端子電圧、つまり、キャパシタ45の充電電圧が上昇する(図5(d)のT1)。

【0061】一方、抽出ウォブル信号SWBがLレベルとなり、スイッチ47が閉状態とされると、キャパシタ45の充電電圧はスイッチ47を介して一気に放電され、接続点aは接地電圧となる(図5(d)のT2)。この間、定電流源46から供給される充電電流もスイッチ47を通じてキャパシタ45をバイパスされる。そして、再度スイッチ47が開状態とされると、キャパシタ45への充電電流の供給が再開されキャパシタ45の端子電圧は、接地電圧から時間と共に一定の傾斜で上昇する

(図5(d)のT3)。このように、三角波発生回路163は、抽出ウォブル信号SWBのHレベルの期間、振幅レベルが一定の割合で変化する三角波信号を発生し、かかる三角波信号をバッファ162を介してサンプルホールド回路164に出力する。

【0062】サンプルホールド回路164は、バッファ162を介して供給される三角波信号をプリピット検出信号SPDに応じてキャパシタ49に中継するスイッチ48と、中継された三角波信号の電圧レベルを保持するキャパシタ49とから構成される。

【0063】スイッチ48は、プリピット検出信号SPDがHレベルの期間、閉状態となって三角波信号をキャパシタ49に供給すると共に、プリピット検出信号SPDがLレベルの期間は開状態となって三角波信号のキャパシタ49への供給を断とする。

【0064】したがって、キャパシタ49は、プリピット検出信号SPDのHレベルの期間に供給された三角波信号の振幅レベルに応じた充電電圧を次のプリピット検出信号SPDのHレベル期間が到来するまでの間保持することになる。このキャパシタ49の保持する充電電圧が位相調整信号SCNTとしてバッファ165を介して移相器19に供給される。

【0065】以上の通り、位相比較器16は、抽出ウォブル信号SWBのHレベル/Lレベルの間の遷移状態に応じてキャパシタ45を充放電することによって所定の傾斜角度を有する三角波信号を発生し、当該三角波信号の振幅レベルをプリピット検出信号SPDの検出タイミングでサンプル/ホールドする。

【0066】DVD-R31におけるウォブル信号を担うグループとプリピット信号を担うプリピットは図2に示される通り所定の位相関係を持って記録されている。したがって、ウォブル信号抽出器15から出力される抽出ウォブル信号SWBとプリピット信号検出器13から出力されるプリピット検出信号SPDの位相が当該所定の位相関係にあるならば、サンプル/ホールドされた信号レベルは、常に所定の電圧レベルである(例えば、図5(d)における三角波信号の中間振幅レベルVMとなる)。

【0067】しかしながら、クロストークの影響により、隣接するグルーブトラックからのウォブル信号成分の漏れ込みがあると、かかるウォブル信号成分との干渉

によって、当該グルーブトラックからの抽出ウォブル信号SWBに時間軸上での変動が生じることになる。一方、上記の通り、プリピット信号はDVD-R31の径方向には近接して形成されることはないため、隣接するランドトラックからのクロストークの影響は受けないから、複合信号SPCから検出されるプリピット検出信号SPDはクロストークに基づく時間軸上での変動を伴わない正確なタイミング信号と見なすことができる。

【0068】したがって、かかるプリピット検出信号SPDによって抽出ウォブル信号SWBから生成した三角波信号をサンプル/ホールドすることにより、上記所定の位相関係からの偏倚量を知ることが可能となる。つまり、位相比較器16は、抽出ウォブル信号SWBとプリピット検出信号SPDとの位相差(クロストークによって生じた抽出ウォブル信号の時間軸エラー)に応じた電圧信号

(この例では中間振幅レベルVMを中心とした振幅レベル)を出力するように動作する。かかる位相差信号が位相調整信号SCNTとして移相器19に供給されるのである。

【0069】一方、移相器19は、PLL回路18から出力されたクロック信号SCKがキャパシタ195を介してベース端子Bに供給されるトランジスタ191と、アノードが当該トランジスタ191のコレクタ端子Cに接続されると共にカソードがキャパシタ196を介して接続点bにおいて抵抗器193に接続される可変容量ダイオード192と、一端が当該トランジスタ191のエミッタ端子Eに接続されると共に他方の一端が接続点bに接続される抵抗器193とを備える。

【0070】また、位相比較器16から供給される位相調整信号SCNTは抵抗器194を介して可変容量ダイオード192のカソードに接続される。そして、接続点bから記録用クロック信号SCRがバッファ196を介して出力される構成となっている。なお、複数の抵抗器197はトランジスタ191のバイアス抵抗である。

【0071】以上の構成により、PLL回路18から供給されるクロック信号SCKが、移相器19に入力され、かかるクロック信号SCKの位相がサンプルホールド回路164から供給される位相調整信号SCNTに応じて移相される。すなわち、トランジスタ191のベース端子Bに供給されたクロック信号SCKは、コレクタ端子Cから入力クロック信号SCKに対して180度位相反転された反転信号として出力されると共に、エミッタ端子Eからは入力クロック信号とは同相信号として出力される。この際、可変容量ダイオード192並びにキャパシタ196の静電容量に基づくリアクタンス値が抵抗器193の抵抗値に比べ充分小ならば、接続点bからの出力信号、すなわち移相器19から出力される記録用クロック信号SCRは、入力クロック信号SCKに対して略180度移相されることになる。

【0072】逆に、リアクタンス値が抵抗値よりも充分

大ならば、入力クロック信号 SCK と記録用クロック信号 SCR は、同相のままである。このように、移相量は可変容量ダイオード 192、キャパシタ 196 並びに抵抗器 193 によるインピーダンスに応じて変化する。なお、180 度以上の移相量を必要とする場合には、移相器 19 を縦続に接続し多段構成とすればよい。

【0073】この実施形態では、位相比較器 16 から出力される位相差信号を位相調整信号 SCNT として可変容量ダイオード 192 に供給し、かかる位相調整信号 SCNT によって可変容量ダイオード 192 の端子電圧を変化せしめることにより可変容量ダイオードのリアクタンス値を変化せしめ、クロック信号 SCK の移相量を変化させて記録用クロック信号 SCR を得ている。つまり、移相調整信号 SCNT の信号レベルが、抽出ウォブル信号とプリピット検出信号との位相関係が所定の位相関係であることを示す上記 VM からどれくらい偏倚しているのかに応じて、かかる偏倚量を相殺する方向にクロック信号 SCK の移相量を調整し、かかる調整の施されたクロック信号を記録用クロック信号としてエンコーダ 6、並びにパワー制御回路 5 に出力するのである。

【0074】このように、クロストークの影響を無視できないウォブル信号に基づいて生成されるクロック信号の時間軸上の変動を、クロストークの影響を受けないプリピットを用いて補正するので、ディスクの回転に高い精度で同期した記録用クロック信号を生成することが可能となる。

【0075】記録用クロック信号発生装置の他の実施の形態

次に、クロック信号発生装置の第 2 の実施の形態を図 6 を用いて説明する。この実施の形態は本発明の請求項 4 に関わる記録用クロック信号発生装置の具体例を示すものである。この実施の形態においては図 3 に示した移相器 19 並びに PLL 回路 18 に代えて、PLL 回路 20 を備えてなる。PLL 回路 20 は、クロック信号 SCK を出力する VCO203 と、かかるクロック信号 SCK を分周してウォブル信号と同じ周波数とする分周器 204 と、抽出ウォブル信号 SWB と分周器 204 で分周した信号との位相差信号を出力する位相比較手段である位相比較器 201 と、かかる位相比較器 201 から出力される位相差信号と位相比較器 16 から出力される位相調整信号 SCNT とを加算する位相調整手段である加算器 205 と、かかる加算器 205 から出力される加算信号の低域成分を抽出して VCO203 の制御電圧とする LPF202 とからなる。そして、VCO203 から出力されるクロック信号 SCK が記録用クロック信号 SCR としてエンコーダ 6 並びにパワー制御回路 5 へ供給される。

【0076】かかる構成によれば、位相比較器 201 から供給される抽出ウォブル信号 SWB の有する隣接するグループトラックからのクロストークによる時間軸変動分が、位相調整信号 SCNT を加算することによって相殺さ

れるので、VCO203 からは、ディスクの回転に高い精度で同期した記録用クロック信号 SCR が発生することになる。なお、他の構成は図 3 に示した構成と同じであるのでその説明は省略する。

【0077】更に第 3 の実施の形態を図 7 を用いて説明する。この実施の形態は、本発明の請求項 5 に関わる記録用クロック信号発生装置の具体例を示すものである。この実施の形態においては、図 3 における位相比較器 16 に供給される信号を、抽出ウォブル信号 SWB に代えて位相調整手段である移相器 19 から出力される記録用クロック信号 SCR を分周器 21 で分周した信号（周波数はウォブル信号と同じである。）とする様に構成される。そして、この分周した信号とプリピット検出信号 SPD とを位相比較した結果として得られる位相差信号を位相調整信号 SCNT として移相器 19 に帰還するのである。

【0078】かかる構成によっても、上記第 1 の実施形態と同様にウォブル信号とプリピット信号との位相関係のずれをプリピット信号の検出タイミングで補正できるので、ディスクの回転に高い精度で同期した記録用クロック信号 SCR を生成することが可能となる。また、他の構成は図 3 に示した構成と同じであるのでその説明は省略する。

【0079】更に、本願発明は図 8 に示す構成によっても実現することができる。この実施の形態は本発明の請求項 6 に関わる記録用クロック信号発生装置の具体例を示すものである。

【0080】図 8 では、移相器 19 は、図 3 におけるクロック信号 SCK に代えて、ウォブル信号抽出器 15 から供給される抽出ウォブル信号 SWB を、位相比較器 16 から供給される位相調整信号 SCNT に応じて移相するように構成される。更に、この移相器 19 の出力信号と基準クロック発生器 11 が発生する基準クロック信号 SREF とが第 2 の位相比較手段である位相比較器 17 で位相比較され、その位相差信号はスピンドルドライバ 3 を介してスピンドルモータ 2 に供給されて DVD-R31 の回転制御が成される。一方、位相比較器 17 から出力される位相差信号は、クロック信号の発生手段である PLL 回路 20 における加算器 205 にも供給されて、第 1 の位相比較手段である位相比較器 201 から供給される、基準クロック信号 SREF とクロック信号 SCK との位相差信号（第 1 の位相差信号）に加算される。

【0081】加算器 205 から出力される加算信号に基づいて VCO203 の発振周波数、すなわち、クロック信号 SCK の発振周波数が制御される。そして、VCO203 から出力されるクロック信号 SCK が記録用クロック信号 SCR としてエンコーダ 6 並びにパワー制御回路 5 に供給される。

【0082】つまり、図 8 に示す構成によれば、プリピット検出信号と抽出ウォブル信号との位相差、すなわち、位相調整信号 SCNT で移相器 19 において直接移相

されるのは、抽出ウォブル信号SWBであり、この移相せしめられたウォブル信号に基づいてディスクの回転制御を行うと共に記録用クロック信号SCRを生成するのである。なお、図8においては、移相器19、位相比較器17、基準クロック発生器11並びに加算器205によって位相調整手段が構成される。

【0083】このように、図8に示す構成によれば、移相器19で移相された抽出ウォブル信号SWBに基づいて、ディスクの回転制御並びに記録用クロック信号SCRの生成がなされるので、ディスクの回転に高い精度で同期した記録用クロック信号SCRを生成することが可能となる。

【0084】さらに、図8に示す構成は、図9に示すように変形することも可能である。すなわち、移相器19から出力される、プリピット検出信号SPDで位相調整されたウォブル信号を、位相比較器17に供給すると共に図3に示すPLL回路18の位相比較器181にも供給する構成としても、図8と同様にディスクの回転に高い精度で同期した記録用クロック信号SCRを生成することが可能となる。図9に示す構成によればPLL回路に加算器が不要となる利点がある。

【0085】なお、図9に示す構成は、本発明の請求項7に関わる記録用クロック信号発生装置の具体例を示すものであり、VCO183が記録用クロック信号の発生手段を構成し、移相器19、分周期184、位相比較器181並びにLPF182が位相調整手段を構成する。

【0086】更に、他の実施の形態を図10を用いて説明する。この実施の形態は、本発明の請求項8に関わる記録用クロック信号発生装置の具体例を示すものである。

【0087】図10では、移相器19は、図3におけるPLL回路18（第1のPLL回路）のVCO183から出力される抽出ウォブル信号SWBに位相同期したクロック信号SCKに代えて、当該PLL回路18におけるクロック信号SCKを分周して抽出ウォブル信号と同じ周波数のパルス信号を生成する分周器184からの出力信号の位相を、位相比較器16から供給される位相調整信号SCNTに応じて移相して調整ウォブル信号STWBを生成し、かかる調整ウォブル信号STWBを第2のPLL回路22に出力する。そして、第2のPLL回路22は、移相器19から供給される調整ウォブル信号STWBに位相同期した記録用クロック信号SCRを生成してエンコーダ6並びにパワー制御回路5に出力する。なお、図10における他の構成は、図3に示す構成と同じであるから、その説明は省略する。

【0088】図10に示す構成によれば、移相器19の移相量は図3の構成における移相器19の移相量に比べて小さくできるという利点がある。つまり、図3に示す移相器は、抽出ウォブル信号SWBの周波数に比べて186倍（ $1488T/8$ ）の周波数となるクロック信号S

CKを、抽出ウォブル信号SWBとプリピット検出信号SPDとの位相差である位相調整信号SCNTに応じて移相する構成であるため、移相量は360度以上必要である。例えば、抽出ウォブル信号とプリピット検出信号との位相が所定の位相関係から2度（抽出ウォブル信号の $1/180$ 波長分）ずれただけでも、クロック信号を1.03波、すなわち、372度（ 1.03×360 度）も移相しなければならない。

【0089】これに対して、図10の構成によれば、移相器19は、PLL回路18の分周器184から与えられるウォブル信号周期の出力信号を位相調整信号SCNTに応じて移相する構成であるから、例えば上記の如く抽出ウォブル信号SWBとプリピット検出信号SPDの位相が2度ずれた場合には、移相器19における移相量も2度である。

【0090】このように、図10に示す構成は、本発明を実現する際のより現実的な構成となる。なお、図10において、クロック信号の発生手段は、位相比較器181、LPF182、VCO183、並びに分周期184からなる第1のPLL回路18であり、位相調整手段は、移相器19、並びに位相比較器221、LPF222、VCO223、分周期224からなる第2のPLL回路22から構成されてなる。

【0091】上述した図3乃至図10に示す如き、抽出ウォブル信号の位相情報を担う信号とプリピット検出信号との位相比較によって得られる位相調整信号に基づいて記録用クロック信号の位相調整を行う構成であれば、いずれの構成であってもディスクの回転に高い精度で追従する記録用クロックを生成できるという効果が期待できる。

【0092】ところで、プリピットは、図2に示される通り、1シンクフレーム当たり最大で3個存在する。つまり、1シンクフレームの残りの期間にはプリピットが存在しないため、上述したプリピットによる補償動作は行われない。したがって、あるプリピットにより、隣接するトラックからのクロストークによるウォブル信号のジッタの補償を行っても、次にプリピットが検出されるまでの間はウォブル信号のジッタを補償することができないから、プリピットの存在しない期間にジッタが発生した場合には、記録用クロック信号の位相とディスクの回転位相とがずれてしまうことになる。

【0093】そこで、図11に示すように、プリピットの存在する期間と存在しない期間とで記録用クロック信号を発生せしめるPLL回路の追従性能を変化させる構成としてもよい。

【0094】図11には、図10におけるプリピット信号検出器13から出力されるプリピット検出信号SPDに応じて所定時間幅のパルス信号を発生する単安定マルチバイブレータ(MMV)23と、図10に示す第2のPLL回路22におけるLPF222と同じ帯域か或いは

10

20

30

40

50

LPF222よりも広い帯域を有するLPF242と、LPF222に比較して狭い帯域（直流成分近傍の周波数成分が通過し得る帯域）を有するLPF243と、使用するLPF（つまり、LPF242又はLPF243のいずれか一のLPF）を上記MMV23の出力状態に応じて選択的に切替える切換えスイッチ244とを新たに備えたPLL回路24が記載されている。上記MMV23、LPF242、LPF243並びに切換えスイッチ245が請求項10における帯域制限手段である。

【0095】なお、上記MMV23は、上記所定時間幅のパルス信号を発生中に新たなプリピット検出信号が到来した際には、かかるプリピット検出信号の到来した時点から続けて所定時間幅のパルス信号を出力する、いわゆるリトリガラブルなマルチバイブレータである。したがって、上記所定の時間幅を例えば抽出ウォブル信号の周期（約 $7.2\mu s$ ）より僅かに大となる時間（例えば $8\mu s$ ）に設定すると、1シンクフレーム当たり最大で約 $22.4\mu s$ （ $7.2\mu s + 7.2\mu s + 8\mu s$ ）のパルス信号がMMV23から供給されることになる。

【0096】かかるパルス信号が供給される期間は、切換えスイッチ244はLPF242を択一的に選択し、移相器19から供給される補正された抽出ウォブル信号に対するPLL回路24の追従性能を向上させる。

【0097】一方、上記パルス信号が供給されない期間、つまり、プリピットが検出されない期間は、切換えスイッチ244は、LPF243を択一的に選択し、移相器19から出力される抽出ウォブル信号に対するPLL回路24の追従性能を低下せしめるのである。

【0098】上記パルス信号が供給されない期間は、移相器19から出力される抽出ウォブル信号は、プリピットによる補正が施されていないから、クロストークによる高域の位相変動成分が含まれている可能性がある。そこで、かかる期間におけるPLL回路24の追従性能を低下せしめることにより、好ましくないクロストークによる位相変動成分への追従が行われることがなくなるのである。

【0099】なお、プリピットが存在しない期間において、LPF243による直流成分の帰還を行うことにより、次のプリピットが存在する期間におけるPLL回路24の引き込み動作に素早く移行できる。

【0100】また、図11ではLPF242とLPF243とをプリピット検出信号に応じて切替える構成としたが、LPF242の後段にサンプルホールド回路を設け、サンプル／ホールドの動作制御をプリピット検出信号に基づいて行う構成にしても、同様の効果が得られる。

【0101】なお、図3乃至図11に示した実施形態においては、記録媒体としてウォブリングされたグルーブトラック間（ランドトラック）にプリピットを形成したDVD-Rを採用した例について説明したが、データ記

録用トラックであるグルーブトラック上にプリピットが形成された記録媒体に対しても本願発明を適用することが可能である。

【0102】

【発明の効果】以上説明したように、本願発明のクロック信号発生装置では、抽出したウォブル信号の位相を担う信号と検出したプリピット信号との位相を比較して位相差信号を出力し、当該位相差信号に基づいてクロック信号の位相を調整するようにした。つまり、クロストークの影響を無視できないウォブル信号に基づいて生成されるクロック信号の時間軸上の変動を、クロストークの影響を受けないプリピットを用いて補正するので、ディスクの回転に高い精度で同期した記録用クロック信号を生成することが可能となる。

【図面の簡単な説明】

【図1】 ウォブリンググルーブとプリピットの構成の一例を示す関係図である。

【図2】 実施形態のDVD-R31における記録フォーマットの一例を示す図である。

【図3】 本願発明の第1の実施の形態である記録用クロック信号発生装置を含むデータ記録装置の全体構成を示すブロック図である。

【図4】 本願発明の第1の実施の形態の位相比較器16と移相器19の具体的な構成例を示す図である。

【図5】 図4の回路の動作を説明する波形の模式図である。

【図6】 本願発明の第2の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図7】 本願発明の第3の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図8】 本願発明の第4の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図9】 本願発明の第5の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図10】 本願発明の第6の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【図11】 本願発明の第7の実施の形態の記録用クロック信号発生装置を含むデータ記録装置の全体の構成を示すブロック図である。

【符号の説明】

- 1 ピックアップ
- 2 スピンドルモータ
- 3 スピンドルドライバ
- 4 レーザ駆動回路
- 5 パワー制御回路

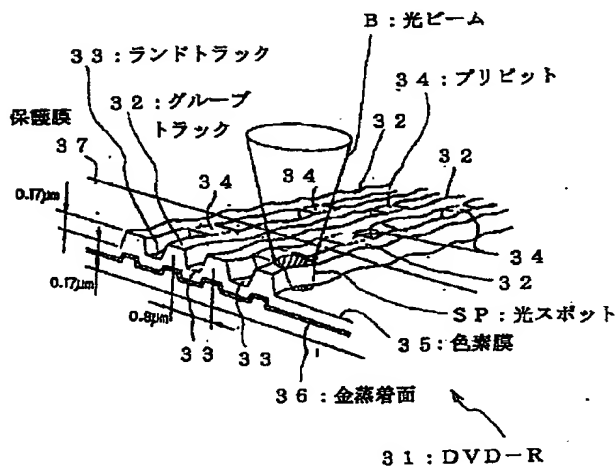
21

- 6 エンコーダ
 7 インタフェース
 8 再生増幅器
 9 デコーダ
 10 プロセッサ
 11 基準クロック発生器 12
 BPF
 13 プリビット検出手段としてのプリビッ
 ト信号検出器
 14 プリビット信号デコーダ
 15 ウォブル信号抽出手段としてのウォブ
 ル信号抽出器
 16 位相調整信号生成手段としての位相比
 較器
 17 位相比較器
 18、20 PLL回路
 22、24 第2のPLL回路
 181、201、221、241 位相比較*

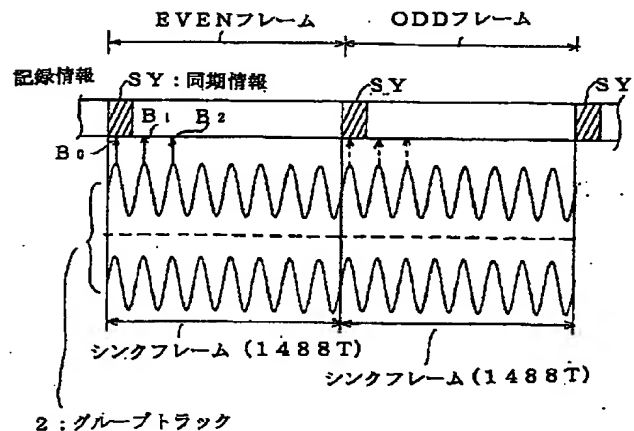
22

- * 器
 182、202、222、242、243
 LPF
 183、203、223、245 VCO
 184、204、224、246 分周器
 244 切換えスイッチ
 23 マルチバイブレータ
 19 移相器
 163 三角波発生回路
 164 サンプルホールド回路
 31 DVD-R
 45、49、195、196 キャパシタ
 46 定電流源
 47、48 スイッチ
 191 トランジスタ
 192 可変容量ダイオード
 193、194、197 抵抗器

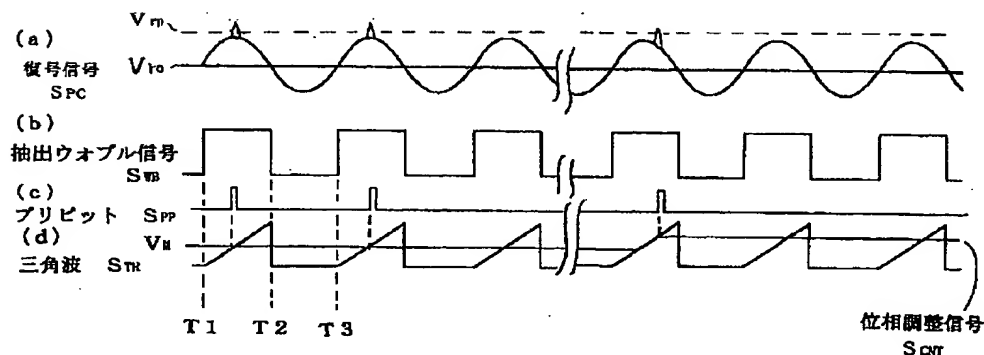
【図1】



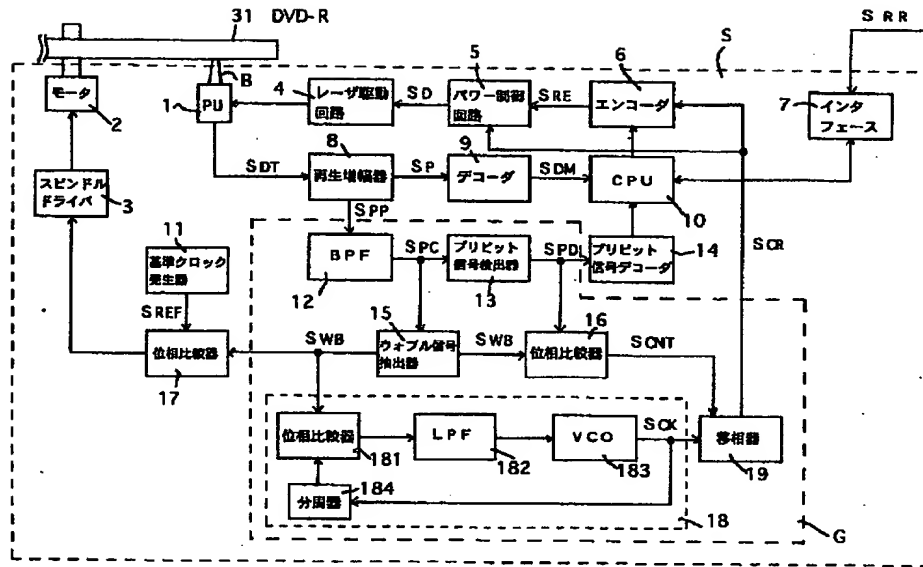
【図2】



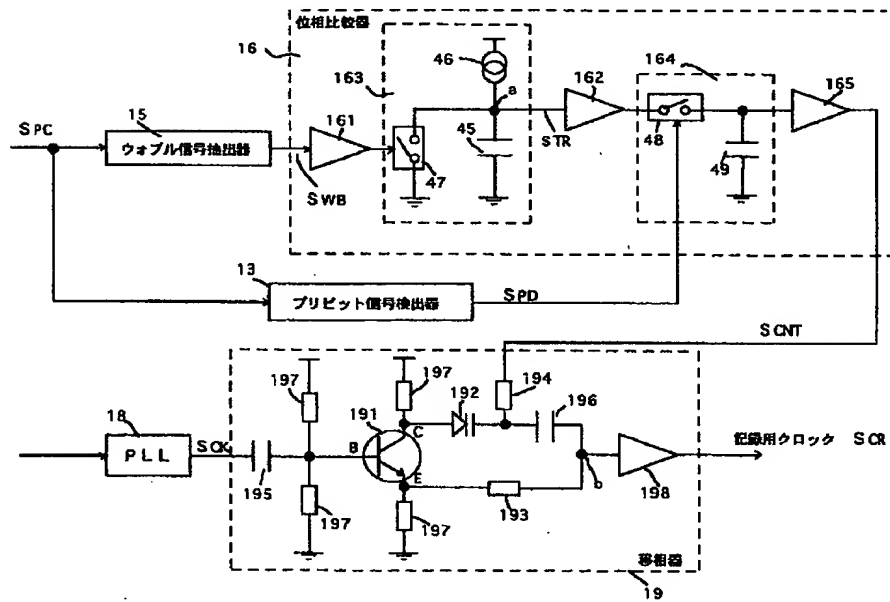
【図5】



【図3】



【図4】



[illegible]

The diagram illustrates the system architecture of a DVD-R system, organized into several functional blocks and interconnected by data and control signals.

- External Components:**
 - DVD-R (31):** The optical disc, connected to the **モータ (Motor, 2)** and **スピンドルドライブ (Spindle Drive, 3)**.
 - インタフェース (Interface, 7):** Connected to the **CPU (10)** and **SRR (Serial Reed, 9)**.
- Core Processing Blocks:**
 - レーザ駆動回路 (Laser Drive Circuit, 4):** Receives **B** signals from the **PU (1)** and outputs **SD** to the **エンコード (Encode, 6)** block.
 - 再生増幅器 (Regeneration Amplifier, 8):** Receives **SDT** signals from the **PU (1)** and outputs **SP** to the **デコード (Decode, 9)** block.
 - エンコード (Encode, 6):** Receives **SRE** signals from the **パワー制御回路 (Power Control Circuit, 5)** and outputs **SDM** to the **CPU (10)**.
 - デコード (Decode, 9):** Receives **SP** signals from the **再生増幅器 (8)** and outputs **SDM** to the **CPU (10)**.
 - CPU (10):** The central processing unit, connected to the **インタフェース (7)**, **エンコード (6)**, **デコード (9)**, **プリビット信号検出器 (Prebit Signal Detector, 13)**, and **プリビット信号デコード (Prebit Signal Decode, 14)**.
- Signal Processing and Control Blocks:**
 - 基準クロック発生器 (Reference Clock Generator, 11):** Outputs **SREF** to the **位相比較器 (Phase Comparator, 17)**.
 - 位相比較器 (Phase Comparator, 17):** Receives **SREF** and **SWB** signals, outputting **S** to the **エンコード (6)** block.
 - クロップ信号抽出器 (Crop Signal Extractor, 15):** Receives **SPC** signals from the **BPF (Band Pass Filter, 12)** and outputs **SPD** to the **プリビット信号検出器 (13)**.
 - プリビット信号検出器 (Prebit Signal Detector, 13):** Outputs **SPD** to the **プリビット信号デコード (14)**.
 - プリビット信号デコード (Prebit Signal Decode, 14):** Outputs **SCR** signals to the **CPU (10)** and **分周器 (Frequency Divider, 21)**.
 - 分周器 (Frequency Divider, 21):** Outputs **S** signals to the **エンコード (6)** block and **SNT** signals to the **位相比較器 (16)**.
 - 位相比較器 (Phase Comparator, 16):** Receives **SNT** signals and outputs **S** signals to the **エンコード (6)** block.
- Timing and Frequency Control Blocks:**
 - 位相比較器 (Phase Comparator, 181):** Receives **SWB** signals and outputs **184** to the **分周器 (Frequency Divider, 184)**.
 - 分周器 (Frequency Divider, 184):** Outputs **182** to the **VCO (Voltage-Controlled Oscillator, 183)**.
 - VCO (Voltage-Controlled Oscillator, 183):** Outputs **SCR** signals to the **移相器 (Phase Shifter, 19)**.
 - 移相器 (Phase Shifter, 19):** Outputs **S** signals to the **エンコード (6)** block.

The diagram illustrates the architecture of a DVD-R drive. At the top, a DVD-R disc (31) is shown. Below it, the pickup unit (1) is connected to a motor (2) and a spindle driver (3). The pickup unit (1) outputs a signal (B) to a laser control circuit (4), which is connected to a servo reference region (SRR) and a servo control region (SCR). The laser control circuit (4) also outputs a signal (SD) to a power control circuit (5), which is connected to an encoder (6). The encoder (6) outputs a signal (SRE) to a CPU (9). The CPU (9) is connected to an interface (8) and a decoder (10). The decoder (10) outputs a signal (SDM) to the CPU (9). The CPU (9) also outputs a signal (SPP) to a BPF (12). The BPF (12) outputs a signal (SPC) to an APB (14). The APB (14) outputs a signal (APD) to an APD (15). The APD (15) outputs a signal (SWB) to a phase comparator (18). The phase comparator (18) outputs a signal (SCNT) to a PLL (19). The PLL (19) outputs a signal (SREF) to a position comparator (17). The position comparator (17) outputs a signal (SREF) to a high-speed clock generator (11). The high-speed clock generator (11) outputs a signal (SREF) to a servo control region (SCR). The servo control region (SCR) contains a phase comparator (18), a PLL (19), an adder (20), a LPF (21), a VCO (22), and a divider (23). The VCO (22) outputs a signal (SREF) to the position comparator (17). The divider (23) outputs a signal (SREF) to the position comparator (17).

[illegible]

[illegible][illegible]